

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-230376

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl.⁸

G 0 2 F 1/136

H 0 1 L 29/786

識別記号

5 0 0

庁内整理番号

F I

G 0 2 F 1/136

H 0 1 L 29/78

技術表示箇所

5 0 0

6 1 2 A

審査請求 未請求 請求項の数11 O L (全 16 頁)

(21) 出願番号 特願平8-37609

(22) 出願日 平成8年(1996)2月26日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 笠井 勉

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(72) 発明者 山本 英明

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(74) 代理人 弁理士 秋田 収喜

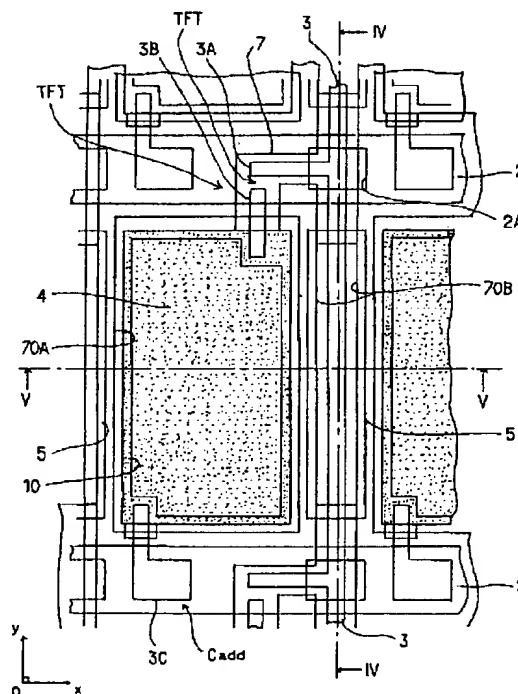
(54) 【発明の名称】 液晶表示基板とその製造方法

(57) 【要約】

【課題】 ドレイン信号線の断線を生じ難くする。

【解決手段】 前記ドレイン信号線の形成領域における前記絶縁膜下に導電性の断線不良対策層が形成され、この断線不良対策層は、前記ゲート信号線と分離され、かつ前記ドレイン信号線よりも幅広に形成されているとともに、少なくともその周辺部を除く中央部が前記絶縁膜に形成した開口部から露呈され、前記ドレイン信号線と重畳されて形成されている。

図 1



【特許請求の範囲】

【請求項1】 液晶を介して互いに対向配置される透明基板のうちその一方の透明基板の液晶側の面の各画素領域に、ゲート信号線による走査信号の供給によってオンする薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの画素信号が供給される画素電極を備えるものであって、前記ドレイン信号線はゲート信号線よりも上層に位置づけられている液晶表示基板において、

前記ドレイン信号線の形成領域における前記絶縁膜下に導電性の断線不良対策層が形成され、

この断線不良対策層は、前記ゲート信号線と分離して形成されているとともに、

少なくともその周辺部を除く中央部が前記絶縁膜に形成した開口部から露呈され、前記ドレイン信号線と重畳されて形成されていることを特徴とする液晶表示基板。

【請求項2】 ゲート信号線とともに断線不良対策層を形成する工程と、画素電極を形成する工程と、絶縁膜を形成する工程と、半導体層を形成する工程と、前記絶縁膜に前記断線不良対策層を露呈させる開口部を形成する工程と、ドレイン信号線を形成する工程とからなることを特徴とする請求項1記載の液晶表示基板の製造方法。

【請求項3】 液晶を介して互いに対向配置される透明基板のうちその一方の透明基板の液晶側の面の各画素領域に、ゲート信号線による走査信号の供給によってオンする薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの画素信号が供給される画素電極を備えるものであって、前記ドレイン信号線はゲート信号線よりも上層に位置づけられている液晶表示基板において、

前記ドレイン信号線の形成領域における前記絶縁膜下に導電性の断線不良対策層が形成され、

この断線不良対策層は前記ゲート信号線と分離されて形成されているとともに、その両端を前記絶縁膜から露呈させた開口部を通して該絶縁膜上に形成されるドレイン信号線の一部を構成していることを特徴とする液晶表示基板。

【請求項4】 ゲート信号線とともに断線不良対策層を形成する工程と、画素電極を形成する工程と、絶縁膜を形成する工程と、半導体層を形成する工程と、前記絶縁膜に前記断線不良対策層を露呈させる開口部を形成する工程と、ドレイン信号線を形成する工程とからなることを特徴とする請求項3記載の液晶表示基板の製造方法。

【請求項5】 液晶を介して互いに対向配置される透明基板のうちその一方の透明基板の液晶側の面の各画素領域に、ゲート信号線による走査信号の供給によってオンする薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの画素信号が供給される画素電極を備えるものであって、前記ドレイン信号線はゲート信号線よりも上層に位置づけられている液晶表

示基板において、

前記ドレイン信号線の形成領域における前記絶縁膜下に導電性の断線不良対策層が形成され、

この断線不良対策層は、前記ゲート信号線と分離して形成されているとともに、

その両端を前記絶縁膜から露呈させた開口部を通して該絶縁膜上に形成されるドレイン信号線の分岐経路を構成していることを特徴とする液晶表示基板。

【請求項6】 ゲート信号線とともに断線不良対策層を形成する工程と、画素電極を形成する工程と、絶縁膜を形成する工程と、半導体層を形成する工程と、前記絶縁膜に前記断線不良対策層を露呈させる開口部を形成する工程と、ドレイン信号線を形成する工程とからなることを特徴とする請求項5記載の液晶表示基板の製造方法。

【請求項7】 液晶を介して互いに対向配置される透明基板のうちその一方の透明基板の液晶側の面の各画素領域に、ゲート信号線による走査信号の供給によってオンする薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの画素信号が供給される画素電極を備えるものであって、前記ドレイン信号線はゲート信号線よりも上層に位置づけられている液晶表示基板において、

前記ドレイン信号線は、導電性の断線不良対策層と重畳されて形成され、

この断線不良対策層は、前記ゲート信号線と分離されて形成されていることを特徴とする液晶表示基板。

【請求項8】 ゲート信号線とともに断線不良対策層を形成する工程と、画素電極を形成する工程と、絶縁膜と半導体層との順次積層体を形成する工程と、少なくとも前記断線不良対策層の全部を露呈させるように前記積層体の半導体層と絶縁膜を同一パターンで選択エッチングする工程と、ドレイン信号線を形成する工程とからなることを特徴とする請求項7記載の液晶表示基板の製造方法。

【請求項9】 断線不良対策層は、ゲート信号線と同材料で形成されていることを特徴とする請求項1、3、5、7記載のうちのいずれか記載の液晶表示基板。

【請求項10】 ゲート信号線は、Alあるいはその合金から構成され、かつその表面は陽極化成によって酸化膜が形成されていることを特徴とする請求項1、3、5、7記載のうちのいずれか記載の液晶表示基板。

【請求項11】 断線不良対策層は、画素電極と同一の材料層を上層に形成された積層構造となっていることを特徴とする請求項1、3、5、7記載のうちのいずれか記載の液晶表示基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示基板とその製造方法方法に係り、特に、アクティブマトリックス型液晶表示基板とその製造方法に関する。

【0002】

【従来の技術】アクティブマトリックス型液晶基板は、マトリックス状に配置された各画素領域にスイッチング素子としての薄膜トランジスタが備えられたものとして知られている。

【0003】すなわち、液晶を介して互に対向配置される透明基板のうち一方の透明基板の液晶側の面の各画素領域に、ゲート信号線に供給される走査信号によってオンされる薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線から供給される画素信号が印加される画素電極等が形成されている。

【0004】そして、ゲート信号線とドレイン信号線は互いに交差され、それらによって各画素領域を区画するようにして形成され、異なる信号が供給されることから層間絶縁膜を介して互いに絶縁されるようにして形成されている。

【0005】このような構成からなる液晶表示基板としては、たとえば、特開昭63-309921号公報、あるいは「冗長構成を採用した12.5型アクティブマトリックス方式カラー液晶ディスプレイ」、日経エレクトロニクス、頁193~210、1986年12月15日、日経マグローウヒル社発行、等に詳述されている。

【0006】

【発明が解決しようとする課題】しかしながら、このように構成された液晶表示基板は、ドレイン信号線の形成の際にその断線が往々にして発生するということが指摘されている。

【0007】ドレイン信号線は、液晶表示基板の製造において、ゲート信号線、薄膜トランジスタの形成の後に形成する場合が多く、ドレイン信号線の形成の際に、そのドレイン信号線の形成領域に半導体等の残渣が完全にエッチングされずに残っている場合があるからである。

【0008】このように半導体等の残渣や異物等が存在し、この残渣を跨ってドレイン信号線を形成した場合、ドレイン信号線はその残渣部で段切れを起こすことになる。

【0009】そして、半導体等の残渣がこのようなドレイン信号線の断線を引き起こすことがないような場合であっても、該残渣がたとえば隣接する画素電極の形成領域にまで延在して存在してしまったような場合には、ドレイン信号線と該画素電極との間にリーク電流が流れるといったような弊害をもたらすようになる。

【0010】本発明はこのような事情に基づいてなされたものである。

【0011】本発明の目的は、ドレイン信号線の断線を生じ難くした構成の液晶表示基板を提供することにある。

【0012】また、本発明の他の目的は、半導体等の残渣の存在による弊害を無くした構成の液晶表示基板を提供することにある。

【0013】また、本発明の他の目的は、ドレイン信号線の断線を生じ難くした液晶表示基板の製造方法を提供することにある。

【0014】さらに、本発明の他の目的は、半導体等の残渣の存在による弊害を無くした液晶表示基板の製造方法を提供することにある。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0016】すなわち、液晶を介して互に対向配置される透明基板のうちその一方の透明基板の液晶側の面の各画素領域に、ゲート信号線による走査信号の供給によってオンする薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの画素信号が供給される画素電極を備えるものであって、前記ドレイン信号線はゲート信号線よりも上層に位置づけられている液晶表示基板において、前記ドレイン信号線の形成領域における前記絶縁膜下に導電性の断線不良対策層が形成され、この断線不良対策層は、前記ゲート信号線と分離して形成されているとともに、少なくともその周辺部を除く中央部が前記絶縁膜に形成した開口部から露呈され、前記ドレイン信号線と重畳されて形成されていることを特徴とするものである。

【0017】このように構成された液晶表示基板は、たとえ薄膜トランジスタを構成する半導体層の残渣がドレイン信号線の形成領域を跨って隣接する画素電極に及んで形成されても、絶縁層における断線不良対策層を露呈させるための開口部を形成する際に、少なくともその部分に存在した残渣は完全に除去されることになる。

【0018】そして、ドレイン信号線はこの残渣の除去された断線不良対策層上に重畳されて形成されることから、この残渣を介してドレイン信号線から画素電極側にリーク電流が流れるようなことはなくなる。

【0019】また、ドレイン信号線の形成の際において、何らかの原因でその信号線に断線が生じて形成されても、該ドレイン信号線の大部分の領域にわたって導電性の断線不良対策層に直接重畳されて形成されることから、自動的に該断線の補修がなされるようになる。

【0020】

【発明の実施の形態】以下、本発明による液晶表示基板とその製造方法の各実施例を図面を用いて以下に説明する。

【0021】実施例1. まず、図2は、液晶を介して互に対向配置される透明基板のうち一方の透明基板1の液晶側の面における構成を示す平面図である。

【0022】同図において、透明基板1があり、この透明基板1の液晶側の面には、ゲート信号線2がx方向に延在しかつy方向に並設されて形成されている。そして、これらゲート信号線2と絶縁されてドレイン信号線

3がy方向に延在しかつx方向に並設されて形成されている。

【0023】各ゲート信号線2とドレイン信号線3とで囲まれる矩形の領域において単位画素領域(図中、点線Aで囲まれた領域)が形成され、マトリックス上に配置されたこれら単位画素領域によって表示部(図中、点線Bで囲まれた領域)が形成されるようになっている。

【0024】各单位画素領域には、その大部分を占めて透明な画素電極が形成され、また、一方のゲート信号線上に薄膜トランジスタが形成され、さらに、他方のゲート信号線上に浮遊容量が形成されている。すなわち、各单位画素領域における等価回路は、図3のように示され、ゲート信号線2を介して供給される走査信号(電圧)によって薄膜トランジスタTFTがオンされ、このオンされた薄膜トランジスタTFTを介してドレイン信号線3から供給された画素信号(電圧)が画素電極4に印加されるようになっている。また、浮遊容量Caddは該薄膜トランジスタTFTがオフした際に該画素信号を長く蓄積させるために設けられている。なお、この画素電極4、薄膜トランジスタTFT、および浮遊容量Caddの詳細な構成は後に詳述する。

【0025】そして、図2に示すように、表示部の外周に相当する透明基板1の外周には、ゲート信号線2の延在部によって構成されるゲート電極端子2T、およびドレイン信号線3の延在部によって構成されるドレイン電極端子3Tが設けられている。

【0026】表示部には、液晶を介して他の透明基板(図示せず)が配置され、この透明基板の液晶側の面には各单位画素領域に共通な共通電極、およびカラーフィルタ等が形成されている。なお、液晶は図中点線(Bで示す点線)の部分に形成されるシール材によって各透明基板の間に封止されるようになっている。

【0027】図1は、前記単位画素領域における詳細な構成を示した平面図で、図2の領域Aの部分に相当する図を示している。なお、図1においてIV-IV線における断面図を図4に、また、V-V線における断面図を図5に示している。

【0028】まず、透明基板1の主表面に、図中x方向に延在しかつy方向に並設されるゲート信号線2がたとえばAl/Ta膜で形成されている。

【0029】このゲート信号線における後述のドレイン信号線3との交差部においては、この交差領域よりも面積の大きな孔2Aが設けられている。この孔2Aは、絶縁膜を介した前記ドレイン信号線3の形成後において、該ドレイン信号線3との電氣的短絡が生じていることが発見された場合に、たとえばレーザ光線等でゲート信号線2の一部を切断し、電氣的短絡が生じている部分のみを島状に孤立させるために形成されたものである。

【0030】そして、このゲート信号線2の表面(側面も含む)には陽極化成によって形成された陽極酸化膜が

形成されたものとなっている。この陽極酸化膜は、Al/Ta膜からなるゲート信号線2からいわゆるヒロックが発生し、前記絶縁膜を貫通してその上に形成されているドレイン信号線3等との電氣的短絡が生じるのを防止すると同時に、ゲート絶縁膜(7A)に欠陥があっても、ゲート線とドレイン線がショートしない様に設けられている。

【0031】また、後述するドレイン信号線3の形成領域にはAl-Ta膜からなる断線不良対策層5が形成され、この断線不良対策層5はゲート信号線2と僅かながら分離され、かつドレイン信号線3よりはその中心軸をほぼ同じにして幅広に形成されている。なお、この断線不良対策層5はその表面において陽極酸化膜が形成されていないものとなっている。

【0032】さらに、ゲート信号線2と断線不良対策層5とで囲まれる領域には、その大部分を占めてたとえばITO(Indium-Tin-Oxide)膜からなる画素電極4が形成されている。

【0033】そして、このように加工された表面の全域にはシリコン窒化膜からなる絶縁膜7Aが形成されている。この絶縁膜7Aは薄膜トランジスタTFTの形成領域においてはゲート絶縁膜として機能するようになっている。さらに、この絶縁膜7Aは、前記画素電極4の周辺部を除く中央部を露呈する開口部70Aと、この実施例で特に設けた開口部70B、すなわち前記断線不良対策層5の周辺部を除く中央部を露呈する開口部70Bとが設けられている。

【0034】さらに、この絶縁膜7A上の前記ゲート信号線2のうちその一方側(図中上側)の一部に重畳される薄膜トランジスタTFT形成領域、およびゲート信号線2に対するドレイン信号線3の交差領域に、a-Si膜7Bと高濃度のn型不純物をドーブしたa-Si膜7Cとの順次積層体が形成されている(図4参照)。ここで、薄膜トランジスタTFTの形成領域における積層体は、そのa-Si膜7Bが半導体層として、高濃度のn型不純物をドーブしたa-Si膜7Cはコンタクト層として機能するようになっており、ゲート信号線2に対するドレイン信号線3の交差領域における積層体(絶縁膜7Aをも含む)7は層間絶縁膜として機能するようになっている。

【0035】さらに、このように加工された表面には、図中y方向に延在してx方向に並設されるAl/Crからなるドレイン信号線3が形成されている。この場合、このドレイン信号線3は、絶縁膜7Aの開口部70Aから露呈された前記断線不良対策層5に積層されて形成されるようになっている(図4、図5参照)。

【0036】そして、薄膜トランジスタTFTのドレイン電極3AはAl/Crからなるドレイン信号線3と一体的に形成され、また、そのソース電極3Bはドレイン電極3Aと同材料から構成され、近接する画素電極4に

10

20

30

40

50

接続されて形成されている。

【0037】また、他方の側（図中下側）のゲート信号線2の一部に重畳させて、浮遊容量Caddの一方の電極3CがAl/Crによって形成され、この電極3Cは近接する画素電極4に接続されている。この場合における浮遊容量Caddは、その他方の電極はゲート信号線2として、その誘電体膜はゲート信号線2の表面に形成されている陽極酸化膜とゲート絶縁膜（SiN）として形成されている。

【0038】そして、このように加工された表面には、SiN膜からなる保護膜10が形成され、この保護膜10は、画素電極の周辺部を除く中央部を露呈させるための開口部が設けられている。

【0039】このように構成された液晶表示基板の製造方法の一実施例を以下図6ないし図8を用いて工程順に説明する。なお、工程を示す各図において、加工の対象となっている部分はその部分を明確にするためハッチングで示している。

【0040】工程1.（図6（a））

透明基板1の主表面の全域にたとえばスパッタリング方法によってAl/Ta膜を厚さ約3000Åで形成し、その後、フォトリソグラフィ技術を用いた選択エッチング方法によって、ゲート信号線2を形成する。

【0041】この場合、本実施例では、特に、後の工程で形成されるドレイン信号線3の形成領域に沿って断線不良対策層5を前記Al/Ta膜によって同時に形成する。

【0042】この場合の断線不良対策層5は、ゲート信号線2に対して僅かながら分離されて形成され、かつ、その中心線は後の工程で形成されるドレイン信号線3の中心線とほぼ一致して形成されるようになっている。

【0043】工程2.（図6（b））

ゲート信号線2のみを陽極化成し、その表面（側面も含む）にAl₂O₃膜を形成する。このAl₂O₃膜の膜厚としては約1750Å程度が良好となる。

【0044】この場合、各ゲート信号線2に電圧を印加することによって、該ゲート信号線2から分離された断線不良対策層5には電圧が印加されないの、ゲート信号線2のみの陽極化成を行うことができる。

【0045】工程3.（図7（c））

次に、このように加工された透明基板1の主表面の全域にたとえばスパッタリング方法によってITO（Indium-Tin-Oxide）膜を厚さ約1400Åで形成し、その後、フォトリソグラフィ技術を用いた選択エッチング方法によって、画素電極4を形成する。

【0046】工程4.（図7（d））

さらに、このように加工された透明基板の主表面に全域にたとえばプラズマCVD方法によって、SiN膜7A、a-Si膜7B、高濃度のn型不純物をドーブしたa-Si膜7Cを順次形成することによってこれらの積

層体7を形成する。この場合、SiN膜7Aは約2200Åの膜厚で、a-Si膜7Bは約2100Åの膜厚で、高濃度のn型不純物をドーブしたa-Si膜7Cは約300Åの膜厚で形成することが好適となる。

【0047】そして、フォトリソグラフィ技術を用いた選択エッチング方法によって、薄膜トランジスタの形成領域、およびゲート信号線の後に形成されるドレイン信号線との交差部となる領域のみにa-Si膜7B、高濃度のn型不純物をドーブしたa-Si膜7Cのみからなる積層体7を残存させる（このため、図では明らかとなっていないが、SiN膜7Aは依然として表面全域に形成されている）。

【0048】薄膜トランジスタの形成領域における前記積層体7のSiN膜7Aはゲート絶縁膜として、a-Si膜7Bは半導体層として、高濃度のn型不純物をドーブしたa-Si膜7Cはコンタクト層として機能するようになる。また、ゲート信号線2のドレイン信号線3との交差部となる領域における前記積層体7は層間絶縁膜として機能するようになる。

【0049】この場合における積層体7の所定パターンへの選択エッチングによって、たとえば図9（a）に示すように、a-Siの残渣αが透明基板の主表面に残り、この残渣が互いに隣接する画素電極4間に及び、各画素電極4間の電氣的短絡を及ぼす原因となることが往々にしてある。この場合の対策は次に説明する工程で製造工程を増加させることなく行うようになっている。

【0050】工程5.（図8（e））

次に、このように加工された透明基板1において、a-Si膜7B、高濃度のn型不純物をドーブしたa-Si膜7Cのみからなる積層体7から露呈して形成されている前記SiN膜7Aに、フォトリソグラフィ技術による選択エッチング方法を用いて、すでに形成されている画素電極4の周辺部を除く中央部を露呈させる開口部70Aを形成する。

【0051】そして、この際同時に、すでに形成されている断線不良対策層5の周辺部を除く中央部を露呈させる開口部70Bを形成する。

【0052】この選択エッチングの際において、この前の工程においてa-Siの残渣αがたとえ残っていたとしても絶縁膜7Aに形成する開口部70Bの形成によって、その残渣αが分断されることになり、この段階で隣接する画素電極4間の残渣αによる電氣的短絡による不良が解除されることになる。

【0053】工程6.（図8（f））

さらに、このように加工された透明基板1の主表面の全域にたとえばスパッタリング方法によってCr膜およびa-Si膜を順次形成する。Cr膜は約600Åの厚さで、a-Si膜は約3000Åの厚さで形成するのが好適となる。

【0054】そして、フォトリソグラフィ技術を用いた

選択エッチング方法によってドレイン信号線3を形成する。この場合、ドレイン信号線3は、その大部分が絶縁膜7Aの開開口部を通して断線不良対策層5に重畳されるために、たとえ何らかの原因で該ドレイン信号線3に断線が生じて形成されても該断線不良対策層5によってその補修が自動的になされるようになる。

【0055】そして、薄膜トランジスタのドレイン電極3Aおよびソース電極3B、さらに、浮遊容量の一方の電極3Cが同時に形成されるようになっている。

【0056】なお、薄膜トランジスタTFTの形成領域において、そのドレイン電極3A、ソース電極3Bから露呈する高濃度の不純物がドーブされたa-Si膜7Cは、該各電極をマスクとしてエッチングにより除去され、この結果、該コンタクト層となるa-Si膜7Cは該各電極と半導体層であるa-Si層7Bとの間のみに介在されることになる。

【0057】工程7. (図8(g))

次に、このように加工された透明基板1の主表面の全域にたとえばプラズマCVD方法によってSiN膜を形成し、フォトリソグラフィ技術を用いた選択エッチング方法によって保護膜10を形成する。

【0058】この保護膜10は、画素電極4の周辺の除く中央部を露呈させるための開口部が形成されたのとなり、特に、ソース電極3B、および浮遊容量の一方の電極3Cを覆って形成されるようになっている。

【0059】なお、断線不良対策層5は、画素電極4と同じ材料でも良く、画素電極4を形成する際、同時に形成することができる。

【0060】実施例2. 図10は、前記単位画素領域における他の構成を示した平面図で、図1と同一の機能を有するものは同一符号で示している。図10においてXI-XI線における断面図を図11に、また、XII-XII線における断面図を図12に示している。

【0061】図1と異なる構成は、まず、断線不良対策層5を覆って形成されたSiN膜7Aは、該断線不良対策層5の延在方向に沿った両端のそれぞれの一部を露呈させるために開口部70Bが形成されている。

【0062】そして、ドレイン信号線3は断続的に形成され、その一端が前記開口部を通して断線不良対策層5に接続されるようになっている。

【0063】すなわち、ドレイン信号線3は、SiN膜7Aの上層に形成された本来のドレイン信号線3と、該SiN膜7Aの下層に形成された前記断線不良対策層5とによって形成された構成となっている。

【0064】このように構成された液晶表示基板は、隣接する画素領域に跨って半導体の残渣が残存したとしても、その残渣は断線不良対策層5に重畳するシリコン窒化膜7A上に形成される確率が多くなる。

【0065】そして、この残渣が存在する領域には、ドレイン信号線3が形成されることはないことから、該残

渣によってドレイン信号線3が断線してしまうような弊害をなくすることができる。

【0066】このように構成された液晶表示基板の製造方法の一実施例を図13ないし図15を用いて以下工程順に説明する。

【0067】工程1. (図13(a))

透明基板の主表面の全域にたとえばスパッタリング方法によってAl-Ta膜を形成し、その後、フォトリソグラフィ技術を用いた選択エッチング方法によって、ゲート信号線2を形成する。

【0068】この場合、後の工程で形成されるドレイン信号線3の形成領域に沿って断線不良対策層5を前記Al-Ta膜によって同時に形成する。

【0069】この場合の断線不良対策層5は、ゲート信号線2に対して分離されて形成されている。

【0070】工程2. (図13(b))

ゲート信号線2のみを陽極化成し、その表面(側面をも含む)にAl₂O₃膜を形成する。

【0071】この場合、各ゲート信号線2に電圧を印加することによって、該ゲート信号線2から分離された断線不良対策層5には電圧が印加されないので、ゲート信号線2のみの陽極化成を行うことができる。

【0072】工程3. (図14(c))

次に、このように加工された透明基板1の主表面の全域にたとえばスパッタリング方法によってITO(Indium-Tin-Oxide)膜を形成し、その後、フォトリソグラフィ技術を用いた選択エッチング方法によって、画素電極4を形成する。

【0073】工程4. (図15(d))

さらに、このように加工された透明基板の主表面に全域にたとえばプラズマCVD方法によって、SiN膜7A、a-Si膜7B、高濃度のn型不純物をドーブしたa-Si膜7Cを順次形成する。

【0074】そして、フォトリソグラフィ技術を用いた選択エッチング方法によって、薄膜トランジスタTFTの形成領域、およびゲート信号線2とその後に形成されるドレイン信号線3との交差部となる領域のみにa-Si層7B、SiN膜7Cからなる積層体7を残存させる。なお、図においては明確にされていないが、前記積層体7から露呈されているSiN膜7Aは表面全域に形成された状態となっている。

【0075】ここで、薄膜トランジスタTFTの形成領域における前記積層体7のSiN膜7Aはゲート絶縁膜として、a-Si膜7Bは半導体層として、高濃度のn型不純物をドーブしたa-Si膜7Cはコンタクト層として機能するようになる。また、ゲート信号線2のドレイン信号線3との交差部となる領域における前記積層体7は層間絶縁膜として機能するようになる。

【0076】この場合における積層体の所定パターンへの選択エッチングによって、a-Siの残渣が透明基板

の主表面に残り、この残渣がドレイン線 3 の形成領域に形成されている場合に、該ドレイン線 3 の断線原因となることが往々にしてある。この場合の対策は後に説明する工程で製造工程を増加させることなく行うようになっている。

【0077】工程 5. (図 15 (e))

次に、前記 SiN 膜 7 A をフォトリソグラフィ技術を用いた選択エッチングにより、画素電極 4 の周辺部を除いた中央部を露呈させるための開口部 70 A を形成する。

【0078】そして、同時に、すでに形成した断線不良対策層 5 の両端部のそれぞれの一部を露呈させるための開口部 70 B をも形成するようになっている。

【0079】工程 6. (図 15 (f))

さらに、このように加工された透明基板の主表面の全域にたとえばスパッタリング方法によって Cr 膜および a-Si 膜を順次形成し、フォトリソグラフィ技術を用いた選択エッチング方法によってドレイン信号線 3 を形成する。

【0080】このドレイン信号線 3 は、この実施例の場合、特に、前記断線不良対策層 5 を介して形成するようになり、図中 y 方向に断続して形成し、その端部が前記 SiN 膜 7 A に形成された開口部 70 B から露出した前記断線不良対策層 5 の一部に接続されるようにして形成されている。

【0081】このようにすることにより、ドレイン信号線 3 の形成領域における SiN 膜 7 A の上層に上述した a-Si の残渣が残存していても、この上を跨ってドレイン信号線 3 が形成されることはなくなる。したがって、該 a-Si の残渣によるドレイン信号線 3 の段切れが生じる惧れがなくなる。

【0082】また、a-Si 残渣とドレイン線がショートしないため、画素電極 4 はドレインの信号の影響を受けない。

【0083】なお、この場合、薄膜トランジスタ TFT のドレイン電極 3 A およびソース電極 3 B、さらに、浮遊容量の一方の電極 3 C が同時に形成されるようになっている。

【0084】工程 7. (図 15 (g))

次に、このように加工された透明基板の主表面の全域にたとえばプラズマ CVD 方法によって SiN 膜を形成し、フォトリソグラフィ技術を用いた選択エッチング方法によって保護膜 10 を形成する。

【0085】この保護膜 10 は、画素電極 4 の周辺を除く中央部を露呈させるための開口部が形成されたものとなり、特に、ソース電極 3 B、および浮遊容量の一方の電極 3 C を覆って形成されるようになっている。

【0086】なお、断線不良対策層 5 は、画素電極 4 と同じ材料でも良く、画素電極 4 を形成する際、同時に形成することができる。

【0087】実施例 3. 図 16 は、前記単位画素領域に

おける他の構成を示した平面図で、図 1 と同一の機能を有するものは同一符号で示している。図 16 において XII-XVII 線における断面図を図 17 に、また、XVIII-X 線における断面図を図 18 に示している。

【0088】図 1 と異なる構成は、まず、実施例 2 と同様に、断線不良対策層 5 を覆って形成された SiN 膜 7 A は、該断線不良対策層 5 の延在方向に沿った両端のそれぞれの一部を露呈させるために開口部 70 B が形成されている。

【0089】そして、ドレイン信号線 3 は実施例 2 とは異なって連続的に形成され、前記開口部を通して断線不良対策層 5 に接続されるようになっている。

【0090】すなわち、ドレイン信号線 3 は、SiN 膜 7 A の上層に形成された本来のドレイン信号線 3 と該 SiN 膜 7 A の下層に形成された前記断線不良対策層 5 とによって形成され、それらが分岐経路を有する構成となっている。

【0091】このように構成された液晶表示基板は、本来のドレイン信号線 3 の形成の際に、何らかの原因でそのドレイン信号線 3 に断線が生じて、該断線不良対策層 5 によってドレイン信号線 3 の機能を有する効果を奏するようになる。

【0092】この場合、上記構成では、ドレイン信号線 3 が形成される前記開口部 70 の周辺には、a-Si 層 7 B と高濃度不純物がドーピングされた a-Si 層 7 C の積層体 7 が形成され、これにより開口部 70 の段差を跨って形成されるドレイン信号線 3 の段切れによる弊害を除去できるように構成されている。

【0093】このように構成された液晶表示基板の製造方法の一実施例を図 19 ないし図 21 を用いて以下工程順に説明する。

【0094】工程 1. (図 19 (a))

透明基板の主表面の全域にたとえばスパッタリング方法によって Al-Ta 膜を形成し、その後、フォトリソグラフィ技術を用いた選択エッチング方法によって、ゲート信号線 2 を形成する。

【0095】この場合、後の工程で形成されるドレイン信号線 3 の形成領域に沿って断線不良対策層 5 を前記 Al-Ta 膜によって同時に形成する。

【0096】この場合の断線不良対策層 5 は、ゲート信号線 2 に対して分離されて形成されている。

【0097】工程 2. (図 19 (b))

ゲート信号線 2 のみを陽極化成し、その表面 (側面をも含む) に Al₂O₃ 膜を形成する。

【0098】この場合、各ゲート信号線 2 に電圧を印加することによって、該ゲート信号線 2 から分離された断線不良対策層 5 には電圧が印加されないため、ゲート信号線 2 のみの陽極化成を行うことができる。

【0099】工程 3. (図 20 (c))

次に、このように加工された透明基板の主表面の全域に

たとえばスパッタリング方法によってITO (Indium-Tin-Oxide) 膜を形成し、その後、フォトリソグラフィ技術を用いた選択エッチング方法によって、画素電極4を形成する。

【0100】工程4. (図20(d))

さらに、このように加工された透明基板の主表面に全域にたとえばプラズマCVD方法によって、SiN膜7A、a-Si膜7B、高濃度のn型不純物をドーブしたa-Si膜7Cを順次形成する。

【0101】そして、フォトリソグラフィ技術を用いた選択エッチング方法によって、薄膜トランジスタの形成領域、およびゲート信号線の後に形成されるドレイン信号線との交差部となる領域にa-Si膜7B、高濃度のn型不純物をドーブしたa-Si膜7Cのみからなる積層体7を残存させる(このため、図では明らかとなっていないが、SiN膜7Aは依然として表面全域に形成されている)。

【0102】薄膜トランジスタの形成領域における前記積層体7のSiN膜7Aはゲート絶縁膜として、a-Si膜7Bは半導体層として、高濃度のn型不純物をドーブしたa-Si膜7Cはコンタクト層として機能するようになる。また、ゲート信号線2のドレイン信号線3との交差部となる領域における前記積層体7は層間絶縁膜として機能するようになる。

【0103】そして、この際に、次の工程で、SiN膜7Aに形成する開口部70Bの周辺であって、ドレイン信号線3を形成すべき領域にも、a-Si層7Bと高濃度の不純物をドーブしたa-Si膜7Cの積層体を残存させるようにしている。

【0104】工程5. (図21(e))

次に、前記SiN膜7Aにおいて画素電極4の周辺部を除く中央部を露呈させるための開口部70Aをフォトリソグラフィ技術を用いた選択エッチング方法によって形成する。

【0105】この場合、すでに形成した断線不良対策層5の両端のそれぞれの一部を露呈させるための開口部70Bを前記選択エッチングによって同時に形成するようになっている。

【0106】工程6. (図21(f))

さらに、このように加工された透明基板の主表面の全域にたとえばスパッタリング方法によってCr膜およびAl-Si膜を順次形成し、フォトリソグラフィ技術を用いた選択エッチング方法によってドレイン信号線3を形成する。このドレイン信号線3は、SiN膜7Aの開口部70Bを通して前記断線不良対策層5のそれぞれの両端の一部に接続されるようになり、結果として層を異にした2つのドレイン信号線が形成されることになる。

【0107】このため、Al-Si膜からなるドレイン信号線が何らかの原因で断線しても、断線不良対策層5を介してドレイン線の機能を持続させることができる効

果を奏する。

【0108】なお、この場合、薄膜トランジスタTFTのドレイン電極3Aおよびソース電極3B、さらに、浮遊容量の一方の電極3Cが同時に形成されるようになっている。

【0109】工程7. (図21(g))

次に、このように加工された透明基板の主表面の全域にたとえばプラズマCVD方法によってSiN膜を形成し、フォトリソグラフィ技術を用いた選択エッチング方法によって保護膜10を形成する。

【0110】この保護膜10は、画素電極4の周辺の除く中央部を露呈させるための開口部が形成されたのとなり、特に、ソース電極3B、および浮遊容量の一方の電極3Cを覆って形成されるようになっている。

【0111】なお、断層不良対策層5は、画素電極4と同じ材料でも良く、画素電極4を形成する際、同時に形成することができる。

【0112】実施例4. 図22は、前記単位画素領域における他の構成を示した平面図で、図1と同一の機能を有するものは同一符号で示している。図22においてXXIII-XXIII線における断面図を図23に、また、XXVI-XXVI線における断面図を図24に示している。

【0113】図1と異なる構成は、SiN膜7Aのパターンが異なっていることにある。すなわち、SiN膜7Aは、その上層に重畳されたa-Si膜7Bと高濃度層がドーブされたa-Si膜7Cの積層体7と同一パターンで形成され、それ以外の領域である画素電極4およびゲート信号線2等の形成領域には形成されていない構成となっている。

【0114】この場合においても、ドレイン信号線2は断線不良対策層5と重畳されて形成されることから、該ドレイン信号線2の形成の際に、何らかの原因で断線が生じても、該断線不良対策層5によって自動的に補修ができる効果を有するようになっている。

【0115】このように構成された液晶表示基板の製造方法の一実施例を以下図25ないし図26を用いて工程順に説明する。なお、工程を示す各図において、加工の対象となっている部分はその部分を明確にするためハッチングで示している。

【0116】工程1. (図25(a))

透明基板1の主表面の全域にたとえばスパッタリング方法によってAl/Ta膜を形成し、その後、フォトリソグラフィ技術を用いた選択エッチング方法によって、ゲート信号線2を形成する。

【0117】この場合、本実施例では、特に、後の工程で形成されるドレイン信号線3の形成領域に沿って断線不良対策層5を前記Al/Ta膜によって同時に形成する。

【0118】工程2. (図25(b))

ゲート信号線2のみを陽極化し、その表面(側面をも

含む)に Al_2O_3 膜を形成する。

【0119】この場合、各ゲート信号線2に電圧を印加することによって、該ゲート信号線2から分離された断線不良対策層5には電圧が印加されないで、ゲート信号線2のみの陽極化成を行うことができる。

【0120】工程3。(図26(c))

次に、このように加工された透明基板1の主表面の全域にたとえばスパッタリング方法によってITO(Indium-Tin-Oxide)膜を形成し、その後、フォトリソグラフィ技術を用いた選択エッチング方法によって、画素電極4

【0121】工程4。(図26(d))

さらに、このように加工された透明基板の主表面に全域に、たとえばプラズマCVD方法によって、SiN膜7A、a-Si膜7B、高濃度のn型不純物をドーブしたa-Si膜7Cを順次形成することによってこれらの積層体7を形成する。

【0122】そして、フォトリソグラフィ技術を用いた選択エッチング方法によって、薄膜トランジスタの形成領域、およびゲート信号線の後に形成されるドレイン信号線との交差部となる領域のみにSiN膜7A、a-Si膜7B、高濃度のn型不純物をドーブしたa-Si膜7Cのみからなる積層体7を残存させる(このため、図では明らかとなっていないが、実施例1とは異なり、SiN膜7Aは前記積層体7が形成されている領域以外には形成されていない)。製造工数の低減を図るためである。

【0123】薄膜トランジスタの形成領域における前記積層体7のSiN膜7Aはゲート絶縁膜として、a-Si膜7Bは半導体層として、高濃度のn型不純物をドーブしたa-Si膜7Cはコンタクト層として機能するようになる。また、ゲート信号線2のドレイン信号線3との交差部となる領域における前記積層体7は層間絶縁膜として機能するようになる。

【0124】工程5。(図27(e))

さらに、このように加工された透明基板1の主表面の全域にたとえばスパッタリング方法によってCr膜およびa-Si膜を順次形成する。

【0125】そして、フォトリソグラフィ技術を用いた選択エッチング方法によってドレイン信号線3を形成する。この場合、ドレイン信号線3は、予め形成されている断線不良対策層5にそのまま重畳されるために、たとえば何らかの原因で該ドレイン信号線3に断線が生じて形成されても該断線不良対策層5によってその補修が自動的になされるようになる。

【0126】そして、薄膜トランジスタのドレイン電極3Aおよびソース電極3B、さらに、浮遊容量の一方の電極3Cが同時に形成されるようになっている。

【0127】工程6。(図27(f))

次に、このように加工された透明基板1の主表面の全域

にたとえばプラズマCVD方法によってSiN膜を形成し、フォトリソグラフィ技術を用いた選択エッチング方法によって保護膜10を形成する。

【0128】この保護膜10は、画素電極4の周辺の除く中央部を露呈させるための開口部が形成されたのとなり、特に、ソース電極3B、および浮遊容量の一方の電極3Cを覆って形成されるようになっている。

【0129】なお、断層不良対策層5は、画素電極4と同じ材料でも良く、画素電極4を形成する際、同時に形成することができる。

【0130】実施例5。図28は、前記単位画素領域における他の構成を示した平面図で、図1と同一の機能を有するものは同一符号で示している。図28においてXXIX-XXIX線における断面図を図29に、また、XXX-XXX線における断面図を図30に示している。

【0131】この構成の大部分は、実施例2に示した構成(図10、11、12参照)とほぼ同様であるが、断線不良対策層5の表面にITO(Indium-Tin-Oxide)膜からなる第2断線不良対策層5Aが直接積層された構成となっておりところに相違がある。

【0132】この第2断線不良対策層5Aは、断線不良対策層5が断線して形成された場合においてその断線を自動的に補修でき、画素電極4と同時に形成することによって製造工程の増大をもたらすことなく、上記効果を奏することができるようになる。

【0133】この場合において、ITO膜からなる第2断線不良対策層とドレイン信号線3との接続を図る場合、該ゲート信号線2がAlの材料であった場合、その接続が充分になされないことから、Cr層を介在させてドレイン信号線3を形成することが好適となる。

【0134】なお、このように断線不良対策層5の表面にITO膜を積層させる構成は、実施例2に示した構成に限らず、上記他の実施例にも適用できることはいうまでもない。

【0135】

【発明の効果】以上説明したことから明かなように、本発明によれば、ドレイン信号線の断線を生じ難くした構成の液晶表示基板を得ることができる。

【0136】また、半導体等の残渣の存在による弊害を無くした構成の液晶表示基板を得ることができる。

【0137】また、ドレイン信号線の断線を生じ難くした液晶表示基板の製造方法を得ることができる。

【0138】さらに、半導体等の残渣の存在による弊害を無くした液晶表示基板の製造方法を得ることができる。

【図面の簡単な説明】

【図1】本発明による液晶表示基板における単位画素領域の一実施例を示す平面図である。

【図2】本発明による液晶表示基板の一方の透明基板の液晶側の構成の一実施例を示す平面図である。

【図 3】本発明による液晶表示基板における単位画素領域の等価回路の一実施例を示す平面図である。

【図 4】図 1 の IV-IV 線における断面図である。

【図 5】図 1 の V-V 線における断面図である。

【図 6】本発明による液晶表示基板の製造方法の一実施例を示す工程図の一部である。

【図 7】本発明による液晶表示基板の製造方法の一実施例を示す工程図の一部である。

【図 8】本発明による液晶表示基板の製造方法の一実施例を示す工程図の一部である。

【図 9】本発明による液晶表示基板の製造方法の効果を示す説明図である。

【図 10】本発明による液晶表示基板における単位画素領域の一実施例を示す平面図である。

【図 11】図 10 の XI-XI 線における断面図である。

【図 12】図 10 の XII-XII 線における断面図である。

【図 13】本発明による液晶表示基板の製造方法の他の実施例を示す工程図の一部である。

【図 14】本発明による液晶表示基板の製造方法の他の実施例を示す工程図の一部である。

【図 15】本発明による液晶表示基板の製造方法の他の実施例を示す工程図の一部である。

【図 16】本発明による液晶表示基板における単位画素領域の一実施例を示す平面図である。

【図 17】図 10 の XVII-XVII 線における断面図である。

【図 18】図 10 の XVIII-XVIII 線における断面図である。

【図 19】本発明による液晶表示基板の製造方法の他の

実施例を示す工程図の一部である。

【図 20】本発明による液晶表示基板の製造方法の他の実施例を示す工程図の一部である。

【図 21】本発明による液晶表示基板の製造方法の他の実施例を示す工程図の一部である。

【図 22】本発明による液晶表示基板における単位画素領域の一実施例を示す平面図である。

【図 23】図 22 の XXIII-XXIII 線における断面図である。

10 【図 24】図 22 の XXVI-XXVI 線における断面図である。

【図 25】本発明による液晶表示基板の製造方法の他の実施例を示す工程図の一部である。

【図 26】本発明による液晶表示基板の製造方法の他の実施例を示す工程図の一部である。

【図 27】本発明による液晶表示基板の製造方法の他の実施例を示す工程図の一部である。

【図 28】本発明による液晶表示基板における単位画素領域の一実施例を示す平面図である。

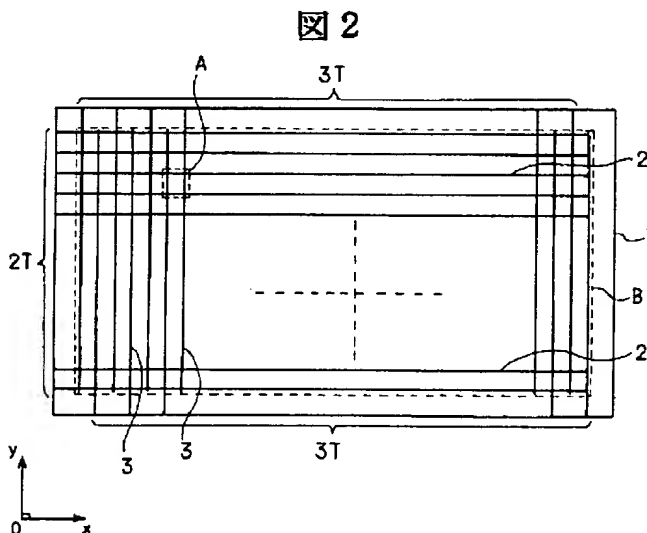
20 【図 29】図 22 の XXIX-XXIX 線における断面図である。

【図 30】図 22 の XXX-XXX 線における断面図である。

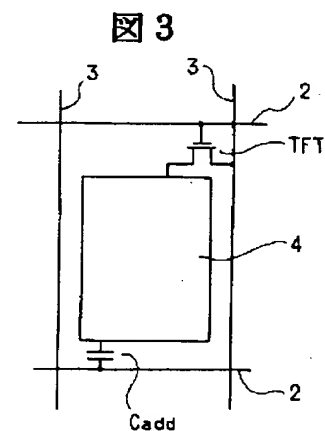
【符号の説明】

2……ゲート信号線、3……ドレイン信号線、4……画素電極、5……断線不良対策層、7……積層体、7A……SiN 膜、7B……a-Si 層、7C……高濃度不純物がドーパされた a-Si 層、10……保護膜、TFT……薄膜トランジスタ、Cadd……浮遊容量。

【図 2】

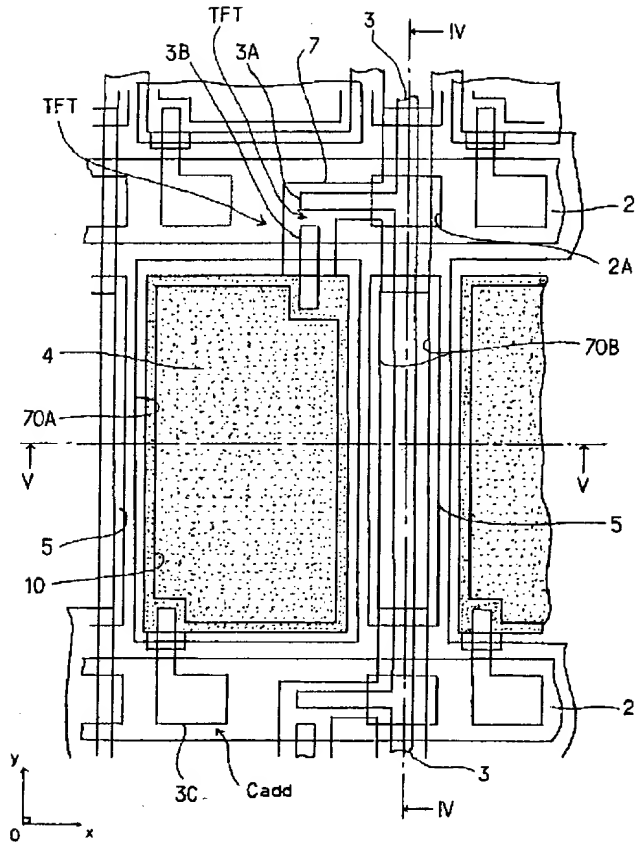


【図 3】



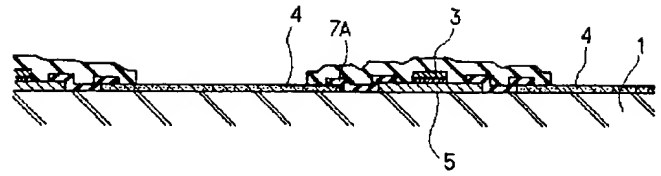
【図 1】

図 1



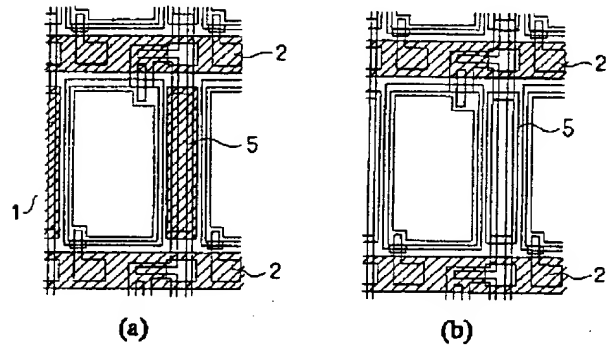
【図 5】

図 5



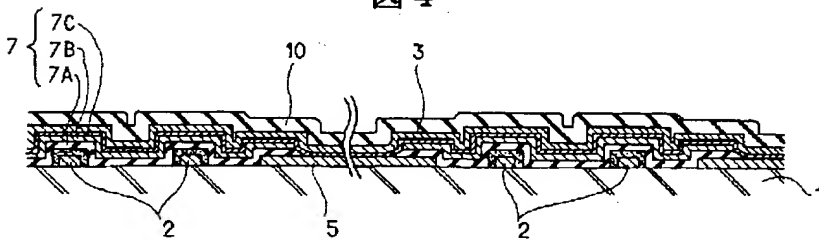
【図 6】

図 6



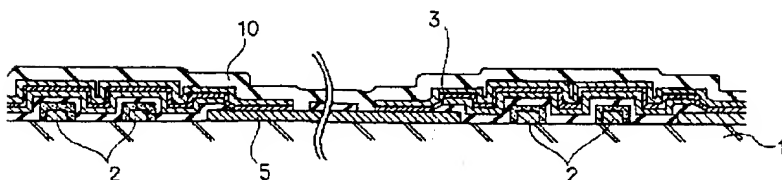
【図 4】

図 4



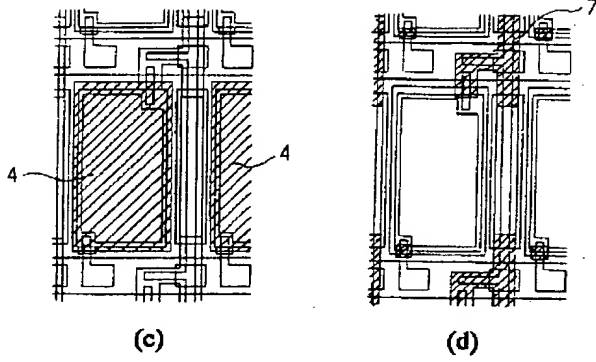
【図 11】

図 11



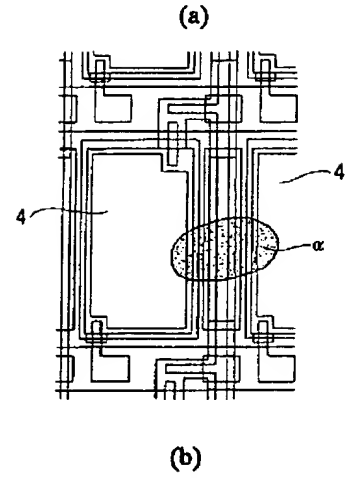
【図 7】

図 7



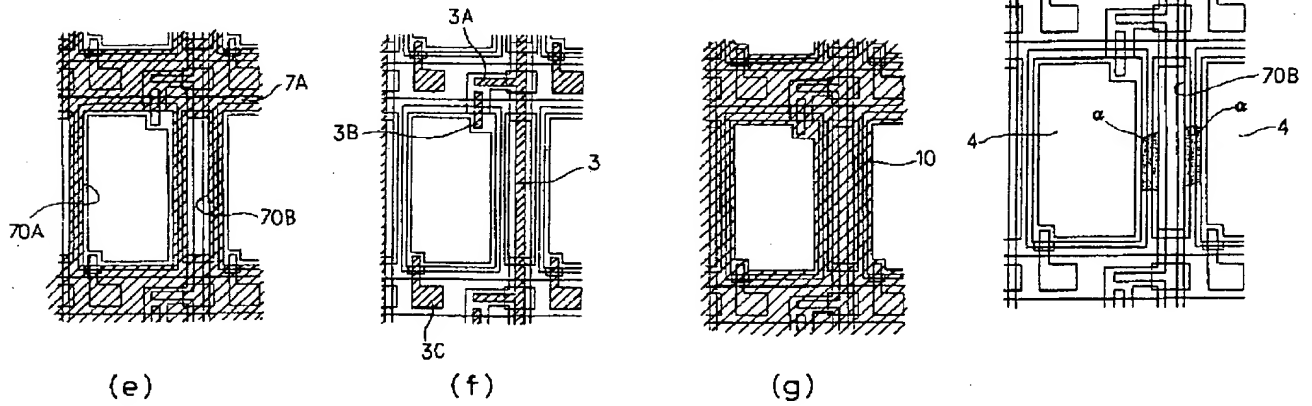
【図 9】

図 9



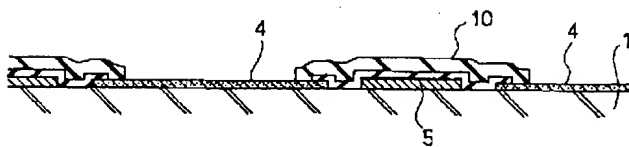
【図 8】

図 8



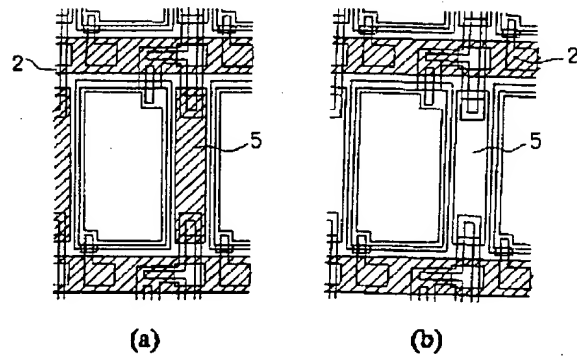
【図 12】

図 12



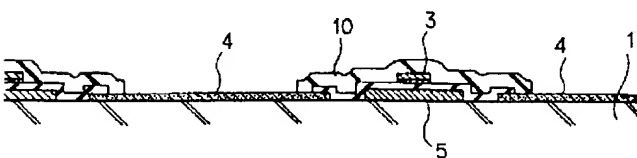
【図 13】

図 13



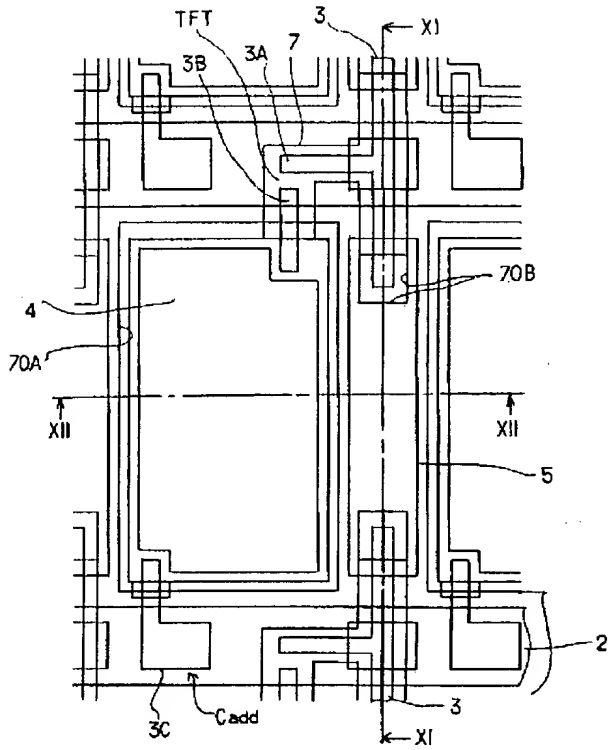
【図 18】

図 18



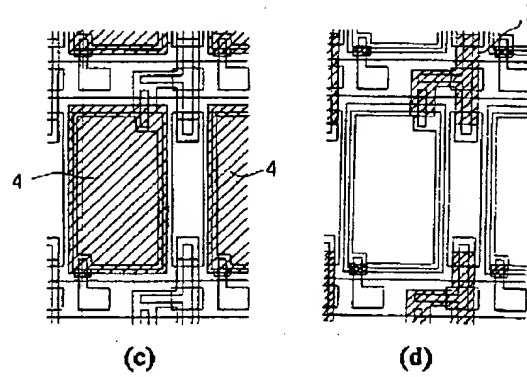
【図 10】

図 10



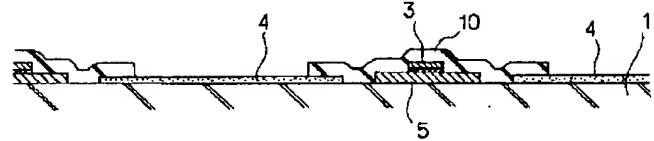
【図 14】

図 14



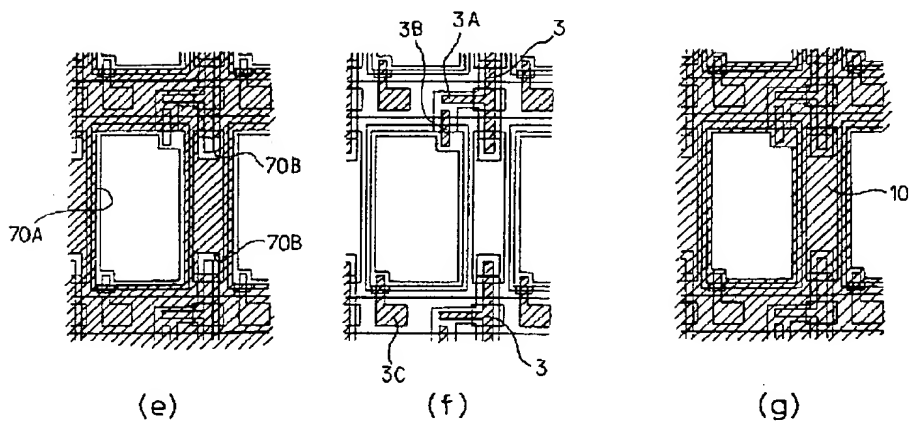
【図 24】

図 24



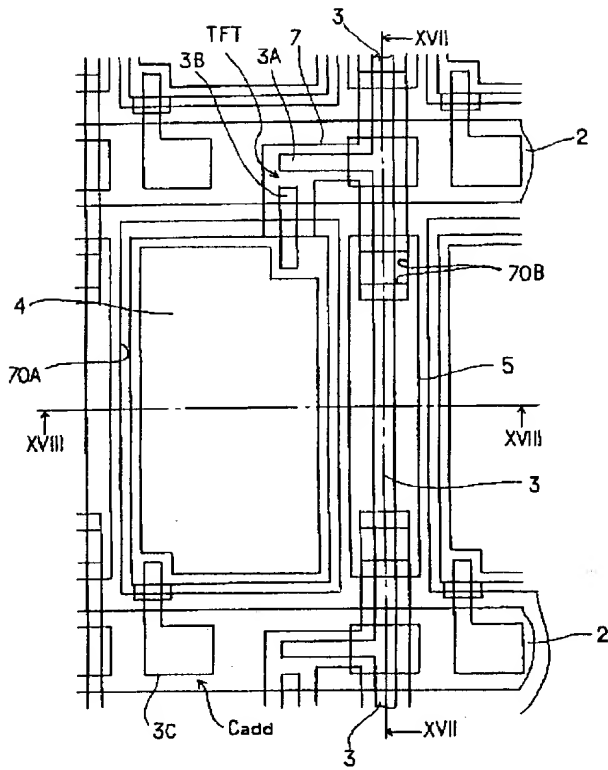
【図 15】

図 15



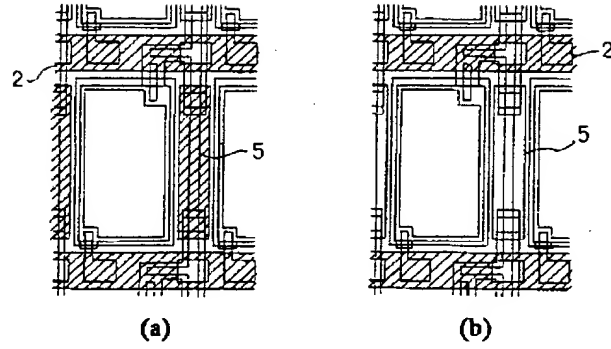
【図 16】

図 16



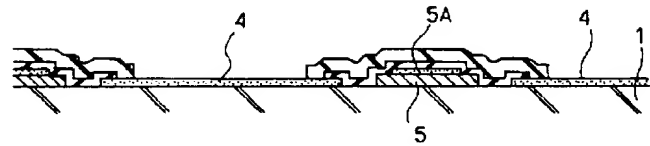
【図 19】

図 19



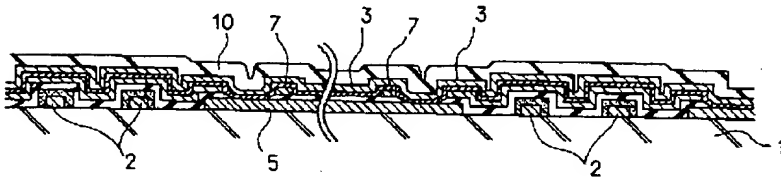
【図 30】

図 30



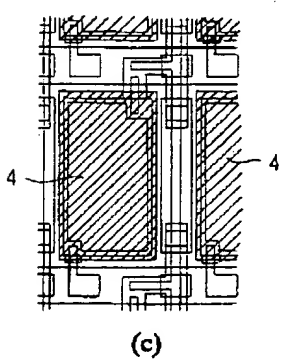
【図 17】

図 17



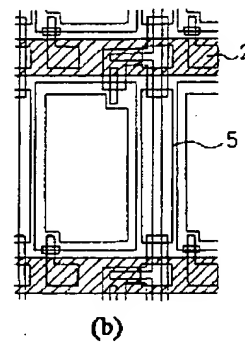
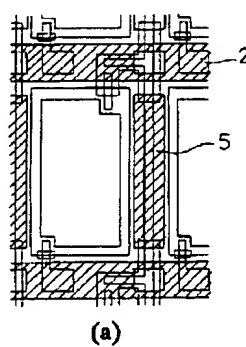
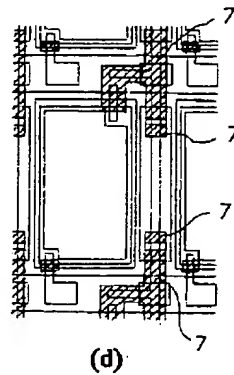
【図 20】

図 20



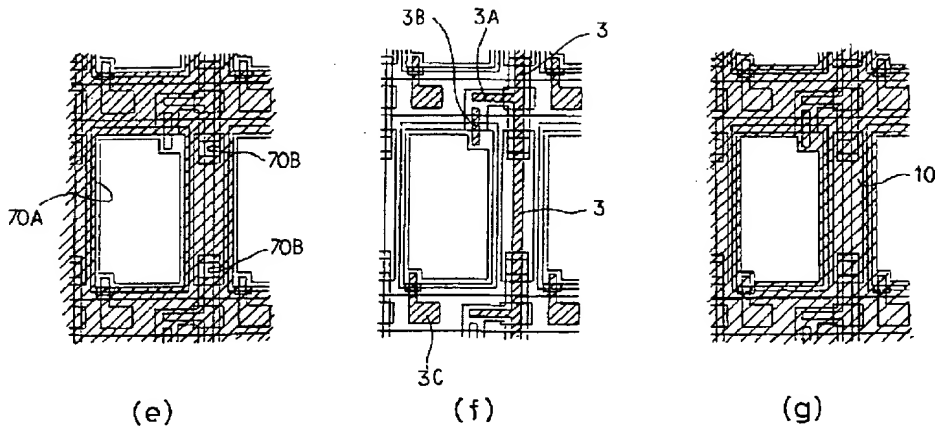
【図 25】

図 25



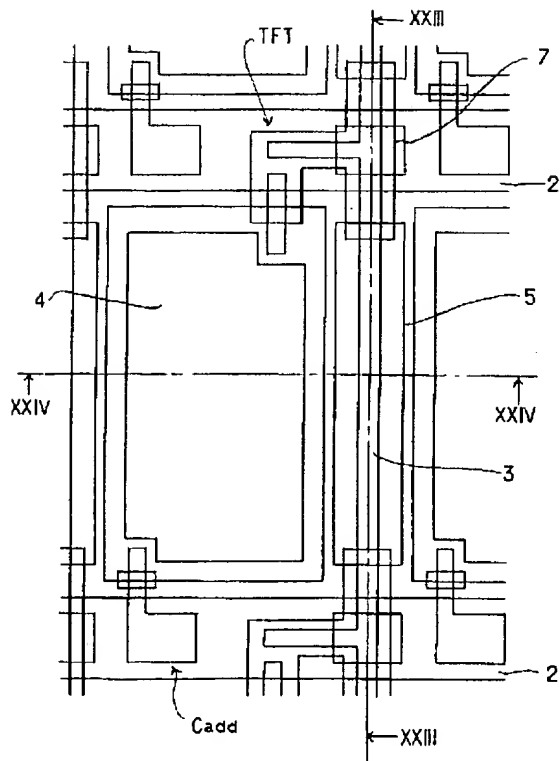
【図 2 1】

図 2 1



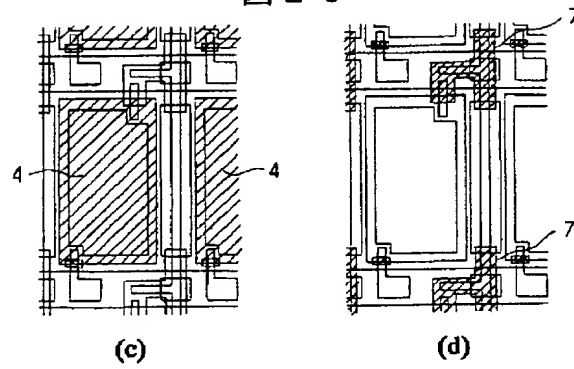
【図 2 2】

図 2 2



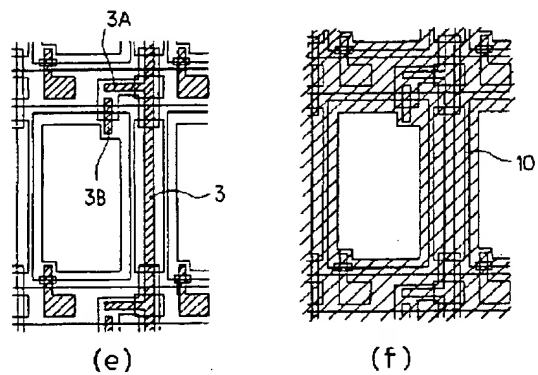
【図 2 6】

図 2 6



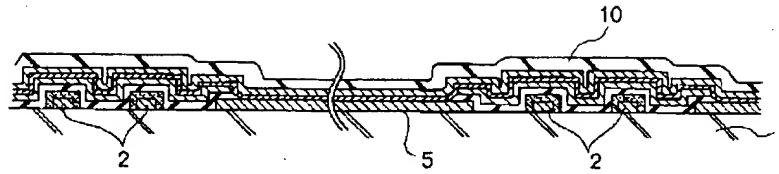
【図 2 7】

図 2 7



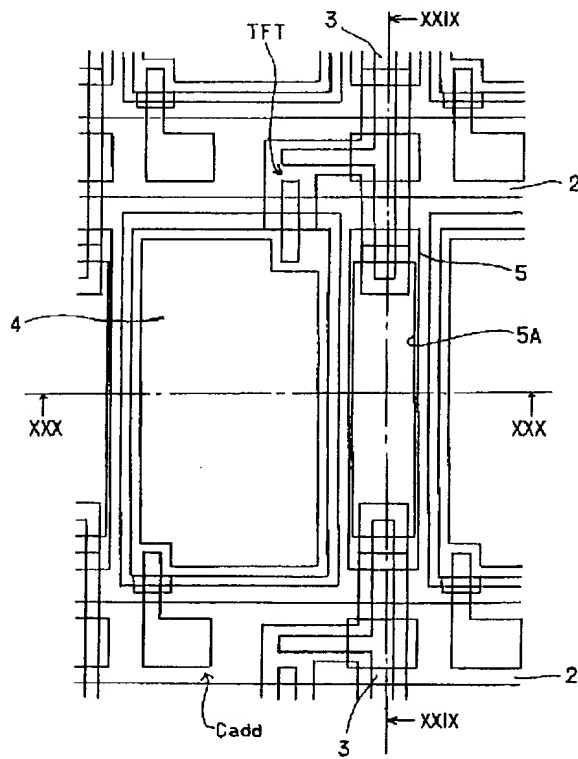
【図 2 3】

図 2 3



【図 2 8】

図 2 8



【図 2 9】

図 2 9

